

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142867

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H05K 3/46

(21)Application number : 05-285197

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 15.11.1993

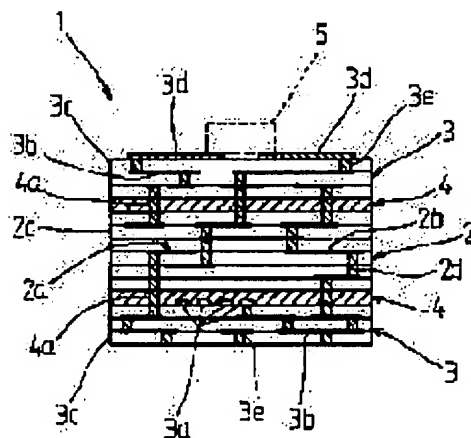
(72)Inventor : NAKAJIMA NORIO  
BANDAI HARUFUMI

## (54) MANUFACTURE OF MULTILAYER SUBSTRATE

### (57)Abstract:

**PURPOSE:** To provide a small multilayer substrate that has a high connection density, and is capable of incorporating a capacitor and inductors.

**CONSTITUTION:** A ceramic multilayer substrate 2 incorporates a capacitor 2a and a wiring pattern 2b, and has viaholes 2d exposed at its front and rear sides. Resin multilayer substrates 3, 3 incorporate inductors 3a and a wiring pattern 3b, and has viaholes 3e exposed at its front and rear sides. The resin multilayer substrates 3, 3 are bonded to the front and rear surfaces of the ceramic multilayer substrate 2 with a layer of prepreg 4, 4 having viaholes 4a in between. The viaholes 2d in the ceramic substrate 2 are electrically connected with those 3e in the resin multilayer substrates 3, 3 through those 4a in the prepreg layers 4, 4.



## LEGAL STATUS

[Date of request for examination]

02.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

3309522

[Date of registration]

24.05.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 4 2 8 6 7

(43) 公開日 平成 7 年 (1995) 6 月 2 日

(51) Int. Cl. <sup>6</sup>

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

L 6921-4 E

N 6921-4 E

Q 6921-4 E

審査請求 未請求 請求項の数 3

O L

(全 4 頁)

(21) 出願番号 特願平 5-285197

(22) 出願日 平成 5 年 (1993) 11 月 15 日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目 26 番 10 号

(72) 発明者 中島 規巨

京都府長岡京市天神二丁目 26 番 10 号 株式

会社村田製作所内

(72) 発明者 萬代 治文

京都府長岡京市天神二丁目 26 番 10 号 株式

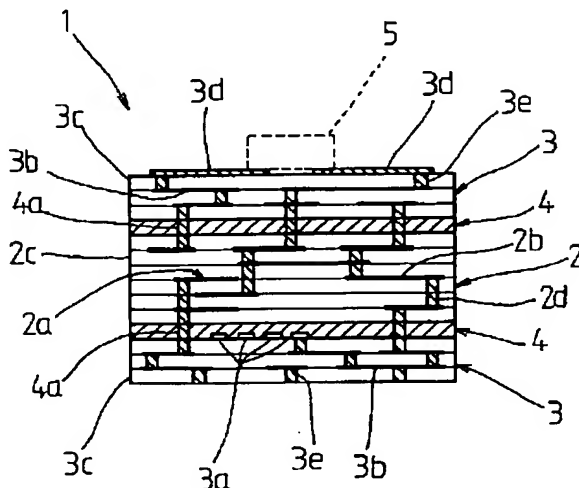
会社村田製作所内

(54) 【発明の名称】 多層基板及びその製造方法

(57) 【要約】

【目的】 小型で結線密度が高くコンデンサ及びインダクタの内蔵が可能な多層基板を提供する。

【構成】 コンデンサ 2 a 及び配線パターン 2 b を内蔵し、表裏面にビアホール 2 d が露出したセラミック多層基板 2 と、セラミック多層基板 2 の両面に、ビアホール 4 a を有するプリプレグ 4、4 を介して、インダクタ 3 a 及び配線パターン 3 b を有し、表裏面にビアホール 3 e が露出した樹脂多層基板 3、3 とを接合してなり、セラミック多層基板 2 のビアホール 2 d と樹脂多層基板 3、3 のビアホール 3 e とが、プリプレグ 4、4 のビアホール 4 a を介して電氣的に接続されたことを特徴とするものである。



## 【特許請求の範囲】

【請求項 1】回路素子又は配線パターンを内蔵し、表裏面にビアホールが露出したセラミック多層基板と、該セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグを介して、回路素子又は配線パターンを有し、表裏面にビアホールが露出した樹脂多層基板とを接合してなり、前記セラミック多層基板のビアホールと樹脂多層基板のビアホールとが、前記プリプレグのビアホールを介して電氣的に接続されたことを特徴とする多層基板。

【請求項 2】セラミック基板に回路素子又は配線パターン及びビアホールを形成し、該セラミック基板を複数積層して表面に前記ビアホールが露出したセラミック多層基板を得る工程と、回路素子又は配線パターン及びビアホールを形成した樹脂基板を得る工程と、前記セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグと、複数の前記樹脂基板を積層し、高温で一体に接合したことを特徴とする多層基板の製造方法。

【請求項 3】前記樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填したことを特徴とする請求項 2 記載の多層基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、回路素子等を内蔵した多層基板及びその製造方法に関し、セラミック多層基板と樹脂多層基板の組合せに関するものである。

## 【0002】

【従来の技術】従来の多層基板は、図 4 に示すように、セラミック基板 11 にビアホール 11a をプレス等で形成し、例えば、銅からなるビアホール電極 11b、配線パターン 11c 及びコンデンサ 11d 用の電極 11e をスクリーン印刷により形成する。その後、セラミック基板 11 を複数枚積層し一体焼成した後、側面に外部電極 11f を形成し、配線パターン 11c 及びコンデンサ 11d を内蔵したセラミック多層基板 12 を構成している。

【0003】また、図 5 に示すように、銅張り樹脂基板 13 に、エッチングによりインダクタ 13a 及び配線パターン（図示せず）を形成した後、複数枚積層接合し積層体 13b を形成する。そして、ドリル等によりビアホール 13c を形成し、ビアホール 13c の内壁をメッキ等により電極とし、ビアホール 13c を介してインダクタ 13a や配線パターン間を接続する。さらに、積層体 13b の側面に、外部電極 13d を形成し、配線パターンを内蔵した樹脂多層基板 14 を構成している。

## 【0004】

【発明が解決しようとする課題】ところが、上記従来例の多層基板において、セラミック多層基板 12 では、配線パターン 11c をスクリーン印刷により形成しているため、電極のライン幅及び線間は、ともに 75  $\mu\text{m}$  以下

にすることが困難で、高密度の配線ができず結線密度が劣っていた。また、樹脂多層基板 14 では、誘電率が低くかつ板厚を薄くできないためコンデンサを形成することができなかった。さらに、ビアホールの形成をドリル等で行うため、ビアホール径が大きくなり、ビアホール密度を高めることができず小型化が困難であった。そのため、配線長が長くなり信号の伝播遅延が大きくなっていった。

【0005】本発明は、このような問題を解消するためになされたものであり、セラミック多層基板と樹脂多層基板を接合し一体化することにより、小型で結線密度が高く、コンデンサ及びインダクタの内蔵が可能な多層基板及びその製造方法を提供することを目的とするものである。

## 【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、回路素子又は配線パターンを内蔵し、表裏面にビアホールが露出したセラミック多層基板と、該セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグを介して、回路素子又は配線パターンを有し、表裏面にビアホールが露出した樹脂多層基板とを接合してなり、前記セラミック多層基板のビアホールと樹脂多層基板のビアホールとが、前記プリプレグのビアホールを介して電氣的に接続されたことを特徴とするものである。

【0007】また、セラミック基板に回路素子又は配線パターン及びビアホールを形成し、該セラミック基板を複数積層して表面に前記ビアホールが露出したセラミック多層基板を得る工程と、回路素子又は配線パターン及びビアホールを形成した樹脂基板を得る工程と、前記セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグと、複数の前記樹脂基板を積層し、高温で一体に接合したことを特徴とするものである。

【0008】また、前記樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填したことを特徴とするものである。

## 【0009】

【作用】上記の構成によれば、セラミック多層基板と樹脂多層基板を一体に接合することにより、セラミック多層基板の部分で、コンデンサの形成とビアホール密度を高めることができ、樹脂多層基板の部分で、ファインラインの形成とクロストークノイズの低減により結線密度を高めることができる。

【0010】また、セラミック多層基板及び樹脂多層基板の表裏面にビアホールが露出しているため、プリプレグによりセラミック多層基板と樹脂多層基板を接合することで、セラミック多層基板の回路素子又は配線パターンと、樹脂多層基板の回路素子又は配線パターンとが、プリプレグのビアホールを介して電氣的に接続することができる。

【0011】また、樹脂多層基板を構成する樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填することにより、セラミック多層基板と複数の樹脂基板をプリプレグにより接合する際の熱ではんだペーストが溶融し、それぞれのビアホールが接続される。

【0012】

【実施例】以下、本発明による多層基板及びその製造方法の実施例を図面を用いて説明する。図1及び図2に示すように、多層基板1は、コンデンサ2a及び配線パターン2bを内蔵したセラミック多層基板2の表裏両面に、インダクタ3a又は配線パターン3bを形成した樹脂多層基板3、3を、ビアホール4aを有したプリプレグ4、4により接合し構成したものである。

【0013】このうち、セラミック多層基板2は、セラミック基板2cを積層したものであり、内部にコンデンサ2a及び配線パターン2bを形成し、コンデンサ2aや配線パターン2b間をビアホール2dにより接続している。なお、ビアホール2dは、その内部に銅等の電極を充填し、セラミック多層基板2の表裏面に露出している。

【0014】また、樹脂多層基板3、3は、樹脂基板3cを積層したもので、内部に配線パターン3bを形成し、上層部の樹脂多層基板3の表面には電子部品5を搭載するための接続パターン3dを形成し、下層部の樹脂多層基板3の表面にはインダクタ3aを形成するとともに、インダクタ3aと配線パターン3b間及び配線パターン3bと接続パターン3d間をビアホール3eにより接続したものである。なお、ビアホール3eにははんだが充填され、下層部の樹脂多層基板3の底面に露出したビアホール3eは、ボールグリッドアレイとして外部電極を兼ねることができる。

【0015】次に、多層基板1の製造方法を説明する。まず、セラミック基板2cのグリーンシート状態で上下に貫通するビアホール2dをプレス等により形成し、例えば、銅からなる電極を、スクリーン印刷によりビアホール2d内に充填するとともに、配線パターン2b及びコンデンサ2a用の電極を形成し、複数枚積層後一体焼成してセラミック多層基板2を得る。

【0016】次に、銅箔が取り付けられた樹脂基板にビアホール3eを形成し、エッチングにより、インダクタ3a、配線パターン3b及び接続パターン3d等を形成した後、ビアホール3e内にはんだペーストを充填して樹脂基板3cを得る。この樹脂基板3cは、後に積層して樹脂多層基板3を構成するものである。

【0017】また、プリプレグ4は、樹脂シートにビアホール4aを形成した後、ビアホール4a内にはんだペーストを充填して得るものである。

【0018】そして、セラミック多層基板2の表裏面に、ビアホール4aが形成されたプリプレグ4、4を介

して、複数の樹脂基板3cを積層し、170℃、30Kg/cm<sup>2</sup>の圧力で約30分間プレスし、セラミック多層基板2と樹脂基板3cを接合する。このとき、樹脂基板3cの各層が接合し樹脂多層基板3、3を形成する。また、樹脂基板3cのビアホール3e及びプリプレグ4、4のビアホール4a内のはんだペーストが溶融し、各樹脂基板3cのインダクタ3a、配線パターン3b、及び接続パターン3dが接続するとともに、セラミック多層基板2のビアホール2dと樹脂多層基板3、3のビアホール3eが、プリプレグ4、4のビアホール4aを介して接続する。

【0019】このように構成した多層基板1は、セラミック多層基板2の部分でコンデンサ2aを形成することができ、また、ビアホール密度を高めることができるため、信号の伝播遅延が短縮できる。一方、樹脂多層基板3、3の部分では、エッチングにより配線パターン3bを形成するため、ライン幅及び線間を20μm程度にできる。そのため、ファインラインが形成できるとともに、誘電率が低くクロストークノイズを低減することができるため、結線密度を高めることができる。また、配線パターン3bの銅の厚みを厚くできるため、Q値の高いインダクタを形成することができる。

【0020】なお、樹脂多層基板は、セラミック多層基板の片面に接合したものでもよく、図3に示すように、側面に外部電極6aを形成したセラミック多層基板6の上面に、プリプレグ7を介して樹脂多層基板8を接合した、多層基板9を構成することができる。

【0021】

【発明の効果】以上説明したように、本発明にかかる多層基板によれば、セラミック多層基板と樹脂多層基板を一体に接合したため、ビアホール密度が高くなるとともに、クロストークノイズの低減により高密度な配線が可能となるため、信号の伝播遅延が短縮でき小型化が可能となる。また、コンデンサ及びインダクタを内蔵することができる等高機能な多層基板を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による多層基板の断面図である。

【図2】図1の分解斜視図である。

【図3】本発明の第二の実施例の断面図である。

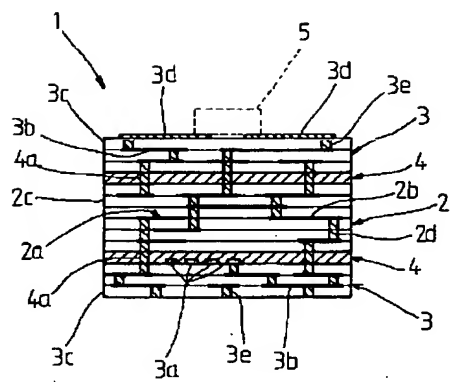
【図4】第一の従来が多層基板の断面図である。

【図5】第二の従来が多層基板の斜視図である。

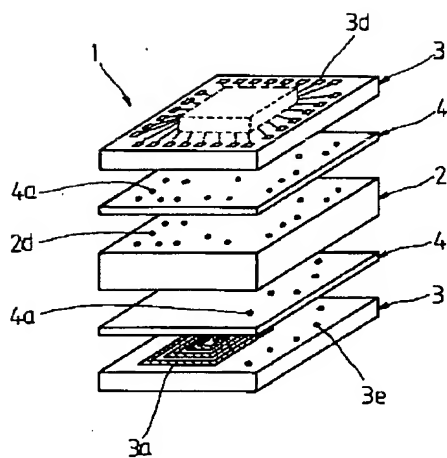
【符号の説明】

1	多層基板
2	セラミック多層基板
2b、3b	配線パターン
2d、3e、4a	ビアホール
3	樹脂多層基板
4	プリプレグ

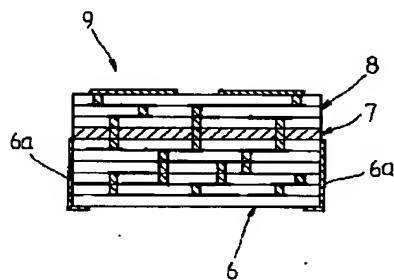
【図 1】



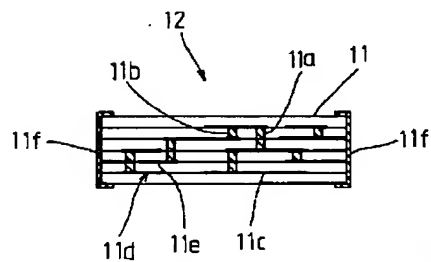
【図 2】



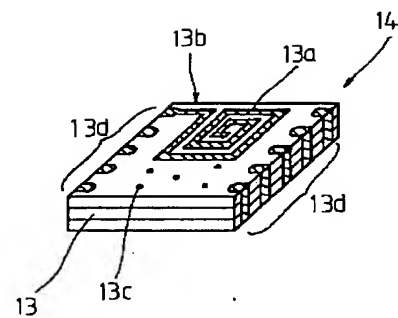
【図 3】



【図 4】



【図 5】



**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The ceramic multilayer substrate which contained the circuit element or the circuit pattern and the beer hall exposed to the front rear face, The prepreg which has a beer hall. [ of this ceramic multilayer substrate ] [ one side or ] The multilayer substrate characterized by having a circuit element or a circuit pattern, having come to join the resin multilayer substrate which the beer hall exposed to the front rear face, and connecting electrically the beer hall of said ceramic multilayer substrate, and the beer hall of a resin multilayer substrate through the beer hall of said prepreg.

[Claim 2] The manufacture approach of the multilayer substrate which forms a circuit element or a circuit pattern, and a beer hall in a ceramic substrate, carries out the laminating of two or more of said resin substrates to the process which obtains the ceramic multilayer substrate which carried out two or more laminatings of this ceramic substrate, and said beer hall exposed to the front face, the process which obtains the resin substrate in\_which the circuit element or the circuit pattern, and the beer hall were formed, and the prepreg which has a beer hall to one side or both sides of said ceramic multilayer substrate, and is characterized by to join to one at an elevated temperature.

[Claim 3] The manufacture approach of the multilayer substrate according to

claim 2 characterized by being filled up with soldering paste in said resin substrate and the beer hall of prepreg.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the combination of a ceramic multilayer substrate and a resin multilayer substrate about the multilayer substrate which contained the circuit element etc., and its manufacture approach.

[0002]

[Description of the Prior Art] The conventional multilayer substrate forms beer hall electrode 11b which forms beer hall 11a in a ceramic substrate 11 with a press etc., for example, consists of copper, circuit pattern 11c, and electrode 11e for capacitor 11d by screen-stencil, as shown in drawing 4. Then, after carrying out two or more sheet laminating of the ceramic substrate 11 and really calcinating it, 11f of external electrodes is formed in a side face, and the ceramic multilayer substrate 12 which contained circuit pattern 11c and capacitor 11d is constituted.



[0003] Moreover, as shown in drawing 5, after forming inductor 13a and a circuit pattern (not shown) in the copper-clad resin substrate 13 by etching, two or more sheet laminating junction is carried out, and layered product 13b is formed in it. And beer hall 13c is formed with a drill etc., the wall of beer hall 13c is used as an electrode by plating etc., and between inductor 13a or a circuit pattern is connected through beer hall 13c. Furthermore, 13d of external electrodes is formed in the side face of layered product 13b, and the resin multilayer substrate 14 having a circuit pattern is constituted.

[0004]

[Problem(s) to be Solved by the Invention] However, in the multilayer substrate of the above-mentioned conventional example, with the ceramic multilayer substrate 12, since circuit pattern 11c was formed by screen-stencil, it was difficult between [ both ] the Rhine width of face of an electrode, and a line to make it 75 micrometers or less, and wiring of high density of them was not completed, but they were inferior in the connection consistency. Moreover, in the resin multilayer substrate 14, since a dielectric constant was not able to make board thickness thin low, a capacitor was not able to be formed. Furthermore, in order to form a beer hall with a drill etc., the diameter of a beer hall could not become large, and a beer hall consistency could not be raised, but the miniaturization was difficult. Therefore, the wire length became long and the propagation delay of a signal was large.

[0005] By being made in order to solve such a problem, joining a ceramic multilayer substrate and a resin multilayer substrate, and unifying, it is small, a connection consistency is high, and this invention aims at offering a capacitor, the multilayer substrate which can contain an inductor, and its manufacture approach.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, it sets to this invention. The ceramic multilayer substrate which contained the circuit element or the circuit pattern and the beer hall exposed to the front rear

face, The prepreg which has a beer hall. [ of this ceramic multilayer substrate ]  
[ one side or ] It is characterized by having a circuit element or a circuit pattern,  
having come to join the resin multilayer substrate which the beer hall exposed to  
the front rear face, and connecting electrically the beer hall of said ceramic  
multilayer substrate, and the beer hall of a resin multilayer substrate through the  
beer hall of said prepreg.

[0007] Moreover, a circuit element or a circuit pattern, and a beer hall are formed  
in a ceramic substrate, the laminating of said two or more resin substrates is  
carried out to the process which obtains the ceramic multilayer substrate which  
carried out two or more laminatings of this ceramic substrate, and said beer hall  
exposed to the front face, the process which obtains the resin substrate in which  
the circuit element or the circuit pattern, and the beer hall were formed, and the  
prepreg which has a beer hall to one side or both sides of said ceramic multilayer  
substrate, and it is characterized by joining to one at an elevated temperature.

[0008] Moreover, it is characterized by being filled up with soldering paste in said  
resin substrate and the beer hall of prepreg.

[0009]

[Function] According to the above-mentioned configuration, by joining a ceramic  
multilayer substrate and a resin multilayer substrate to one, formation and the  
beer hall consistency of a capacitor can be raised in the part of a ceramic  
multilayer substrate, and formation of a fine line and reduction of a cross talk  
noise can raise a connection consistency in the part of a resin multilayer  
substrate.

[0010] Moreover, since the beer hall is exposed to the front rear face of a  
ceramic multilayer substrate and a resin multilayer substrate, the circuit element  
of a ceramic multilayer substrate or a circuit pattern, and the circuit element or  
circuit pattern of a resin multilayer substrate can connect electrically through the  
beer hall of prepreg by joining a ceramic multilayer substrate and a resin  
multilayer substrate by prepreg.

[0011] Moreover, by being filled up with soldering paste in the resin substrate

which constitutes a resin multilayer substrate, and the beer hall of prepreg, soldering paste fuses with the heat at the time of joining a ceramic multilayer substrate and two or more resin substrates by prepreg, and each beer hall is connected.

[0012]

[Example] Hereafter, the example of the multilayer substrate by this invention and its manufacture approach is explained using a drawing. As shown in drawing 1 and drawing 2, it joins by the preregs 4 and 4 with beer hall 4a, and the multilayer substrate 1 constitutes the resin multilayer substrates 3 and 3 in which inductor 3a or circuit pattern 3b was formed to front flesh-side both sides of the ceramic multilayer substrate 2 which contained capacitor 2a and circuit pattern 2b.

[0013] Among these, the ceramic multilayer substrate 2 carried out the laminating of the ceramic substrate 2c, formed capacitor 2a and circuit pattern 2b in the interior, and has connected between capacitor 2a or circuit pattern 2b by beer hall 2d. In addition, beer hall 2d, the interior was filled up with electrodes, such as copper, and it has exposed to the front rear face of the ceramic multilayer substrate 2.

[0014] Moreover, the resin multilayer substrates 3 and 3 are what carried out the laminating of the resin substrate 3c, and form circuit pattern 3b in the interior. While forming connection pattern 3d for carrying electronic parts 5 in the front face of the resin multilayer substrate 3 of a management and forming inductor 3a in the front face of the resin multilayer substrate 3 of the lower layer section. Between inductor 3a and circuit pattern 3b and between circuit pattern 3b and connection pattern 3d are connected by beer hall 3e. In addition, beer hall 3e is filled up with solder, and beer hall 3e exposed to the base of the resin multilayer substrate 3 of the lower layer section can serve as an external electrode as a ball grid array.

[0015] Next, the manufacture approach of the multilayer substrate 1 is explained. First, while being filled up with the electrode which forms with a press etc. beer

hall 2d penetrated up and down in the state of the green sheet of ceramic substrate 2c, for example, consists of copper in beer hall 2d by screen-stencil, the electrode for circuit pattern 2b and capacitor 2a is formed, it really [ after / two or more sheet laminating ] calcinates, and the ceramic multilayer substrate 2 is obtained.

[0016] Next, beer hall 3e is formed in the resin substrate with which copper foil was attached, by etching, after forming inductor 3a, circuit pattern 3b, and connection pattern 3d etc., it is filled up with soldering paste in beer hall 3e, and resin substrate 3c is obtained. The laminating of this resin substrate 3c is carried out to behind, and it constitutes the resin multilayer substrate 3.

[0017] Moreover, prepreg 4 fills up with and obtains soldering paste in beer hall 4a, after forming beer hall 4a in a resin sheet.

[0018] And through the prepregs 4 and 4 by which beer hall 4a was formed in the front rear face of the ceramic multilayer substrate 2, the laminating of two or more resin substrate 3c is carried out, and they are 170 degrees C and 30 Kgf/cm<sup>2</sup>. It presses for about 30 minutes by the pressure, and resin substrate 3c is joined to the ceramic multilayer substrate 2. At this time, each class of resin substrate 3c joins, and the resin multilayer substrates 3 and 3 are formed.

Moreover, while the soldering paste in beer hall 3e of resin substrate 3c and beer hall 4a of prepregs 4 and 4 fuses and inductor 3a of each resin substrate 3c, circuit pattern 3b, and connection pattern 3d connect, beer hall 3e of beer hall 2d of the ceramic multilayer substrate 2 and the resin multilayer substrates 3 and 3 connects through beer hall 4a of prepregs 4 and 4.

[0019] Thus, since the constituted multilayer substrate 1 can form capacitor 2a in the part of the ceramic multilayer substrate 2 and can raise a beer hall consistency, it can shorten the propagation delay of a signal. On the other hand, in the part of the resin multilayer substrates 3 and 3, since circuit pattern 3b is formed by etching, between the Rhine width of face and a line is made to about 20 micrometers. Therefore, since a dielectric constant can reduce a cross talk noise low while being able to form a fine line, a connection consistency can be

raised. Moreover, since thickness of the copper of circuit pattern 3b can be thickened, the high inductor of Q value can be formed.

[0020] In addition, a resin multilayer substrate can constitute the multilayer substrate 9 which joined the resin multilayer substrate 8 to the top face of the ceramic multilayer substrate 6 in which external electrode 6a was formed on the side face, through prepreg 7, as what was joined to one side of a ceramic multilayer substrate may be used and it is shown in drawing 3 .

[0021]

[Effect of the Invention] Since high-density wiring is attained by reduction of a cross talk noise according to the multilayer substrate concerning this invention while a beer hall consistency becomes high, since the ceramic multilayer substrate and the resin multilayer substrate were joined to one as explained above, the propagation delay of a signal can be shortened and a miniaturization becomes possible. Moreover, a highly efficient multilayer substrate -- a capacitor and an inductor can be built in -- can be obtained.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the multilayer substrate by the example of this invention.

[Drawing 2] It is the decomposition perspective view of drawing 1 .

[Drawing 3] It is the sectional view of the second example of this invention.

[Drawing 4] It is the sectional view of the first conventional multilayer substrate.

[Drawing 5] It is the perspective view of the second conventional multilayer substrate.

[Description of Notations]

1 Multilayer Substrate

2 Ceramic Multilayer Substrate

2b, 3b Circuit pattern

2d, 3e, 4a Beer hall

3 Resin Multilayer Substrate

4 Prepreg

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

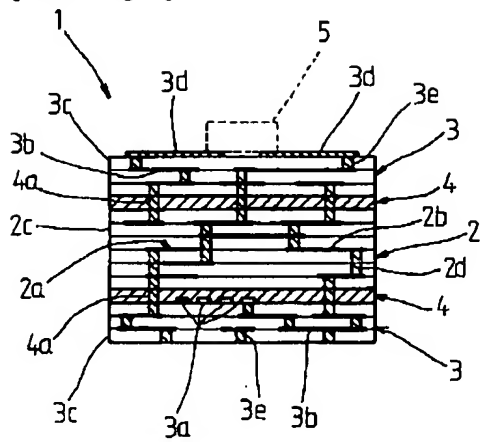
3.In the drawings, any words are not translated.

---

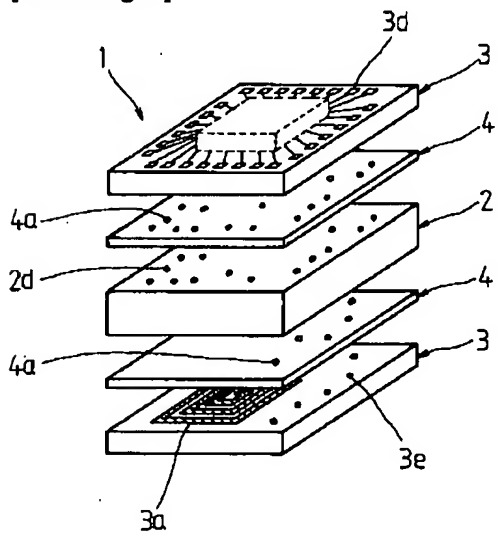
DRAWINGS

---

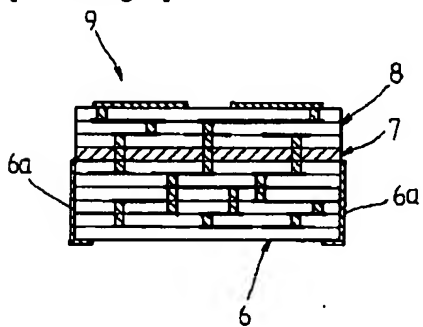
[Drawing 1]



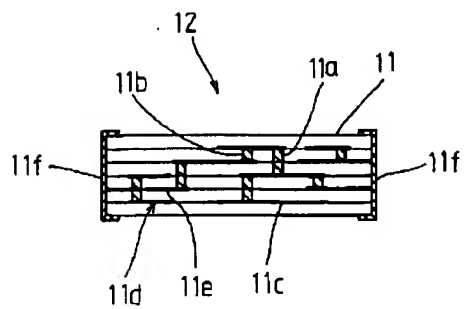
[Drawing 2]



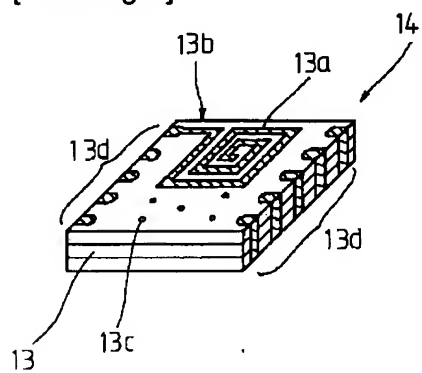
[Drawing 3]



[Drawing 4]



[Drawing 5]




---

[Translation done.]